

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-69350

⑬ Int. Cl.⁴

H 04 L 13/00
G 06 F 13/00

識別記号

3 0 7
3 5 1

庁内整理番号

Z-7240-5K
M-7218-5B

⑭ 公開 昭和63年(1988)3月29日

審査請求 未請求 発明の数 1 (全11頁)

⑮ 発明の名称 シリアルデータ処理装置

⑯ 特 願 昭61-214432

⑰ 出 願 昭61(1986)9月10日

⑱ 発 明 者 三 沢 ゆ か り 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 香 取 重 達 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

(産業上の利用分野)

1. 発明の名称

シリアルデータ処理装置

本発明は、単一のシリアルクロックに同期してデータをシリアルに送受信するシリアルデータ処理装置に関し、特にデータ受信の確認処理を行なう回路を含むシリアルデータ処理装置に関する。

2. 特許請求の範囲

単一のデータラインと単一のクロックラインに接続されたシリアルデータ処理装置において、前記データライン上に受信確認信号を出力する出力回路と、シリアルデータの受信終了を示す第1の信号を発生する回路と、受信したデータの処理が終了したことを知らせる第2の信号を発生する回路と、前記受信確認信号の出力を制御する回路とを有し、前記データライン上のシリアルデータの受信が終了すると、前記出力回路は、前記第1の信号あるいは、前記第2の信号に同期して前記データラインに前記受信確認信号を出力することを特徴とするシリアルデータ処理装置。

(従来の技術)

1本のクロックラインと1本のデータラインを用いてLSIチップ間で1ビットずつシリアルにデータを転送するシリアルデータ処理装置を第8図を参照して説明する。

第1のシリアルデータ処理装置400は、シフトレジスタ401、シリアルクロック発生回路402、データ処理部403、シリアルクロックソースフラグ405、シリアルデータ端子406、シリアルクロック端子407を含んでいる。シフトレジスタ401、データ処理部403、シリアルクロックソースフラグ405は、内部データバス408により相互に接続されている。データ処理部403は、内部データバス408を介して、シフトレジスタ401へ送信データを書き込む処

3. 発明の詳細な説明

理、シフトレジスタ401から受信データを読み出す処理、およびシリアルクロックソースフラグ405のセットおよびクリア処理を行なう機能を有する。シフトレジスタ401は、シリアルデータライン440を駆動するためのラインドライバ410を介してシリアルデータ端子406に接続され、シリアルデータ端子406はシリアルデータライン440に接続している。シリアルデータライン440は、またラインバッファ409を介してシフトレジスタ401に接続されている。シリアルクロック発生回路402はクロックドライバ411を介して、シリアルクロック端子407に接続されている。シリアルクロックソースフラグ405はシリアルクロックの供給元を決定するフラグで、これをセットすることによって本シリアルデータ処理装置がシリアルクロックの供給元（すなわちマスターモード）となる。この時はクロックドライバ411を制御して、シリアルクロック発生回路402の出力を選択し、同時にシリアルクロック端子407からシリアルクロック発

生回路402で得られるシリアルクロックを出力する。一方、シリアルクロックソースフラグ405をクリアすると、本シリアルデータ処理装置がシリアルクロックの供給を受けて送受信処理を行なうスレーブモードなり、シリアルクロック端子407を介して外部からシリアルクロックを入力することになる。シリアルクロックソースフラグ405の状況によって選択されたシリアルクロックは、シフトレジスタ401のシフトクロックとしても使用される。

第2のシリアルデータ処理装置420は、第1のシリアルデータ処理装置400と同一の構成で、内部バス428で相互接続されたシフトレジスタ421、シリアルクロック発生回路422、データ処理部423、シリアルクロックソースフラグ425を含み、シリアルデータ端子426およびシリアルクロック端子427を外部端子として有する。データ処理部423はシフトレジスタ421へ送信データを書き込む処理、シフトレジスタ421から受信データを読み出す処理、及びシリ

アルクロックソースフラグ425のセットおよびクリア処理を行なう。シフトレジスタ421は、シリアルデータライン440を駆動するためのラインドライバ430を介して、シリアルデータ端子426に接続され、シリアルデータ端子426はシリアルデータライン440に接続されている。シリアルクロック発生回路422はクロックドライバ431を介してシリアルクロック端子427に接続されている。本シリアルデータ処理装置420マスターとなる時はフラグ425がセットされ、スレーブとなる時はリセット（クリア）される。

第1のシリアルデータ処理装置400のシリアルデータ端子406とシリアルクロック端子407は、単一のシリアルデータライン440と単一のシリアルクロックライン427を介して第2のシリアルデータ処理装置420のシリアルデータ端子426およびシリアルクロック端子427にそれぞれ接続されている。

次に第9図を参照して第1のシリアルデータ処

理装置400から第2のシリアルデータ処理装置420へ連続して8ビットのシリアルデータを転送する際のシリアルデータライン440上のシリアルデータとシリアルクロックライン441上のシリアルクロック間の同期関係を説明する。

ここで、第1のシリアルデータ処理装置400のシリアルクロックソースフラグ405をセットし、これをシリアルクロックの供給元（マスター）とし、一方第2のシリアルデータ処理装置420のシリアルクロックソースフラグ425をリセットして、これをスレーブとして扱うものとする。シリアルクロックライン441は、非転送時にはハイレベルを保つ。データ処理部403が送信データを内部データバス408を経由して、1。のタイミングで送信データをシフトレジスタ401に転送すると、シリアルクロック発生回路402は1。のタイミングでシリアルクロックの発生を開始し、シリアルクロック端子407を介してシリアルクロックライン441上にクロックを送出する。シフトレジスタ401は、シリアルクロッ

ク発生回路402から発生されるシリアルクロックの立下りエッジ t_1 に同期して1ビット分のシフト動作を行ない、シフトレジスタ401の最終段の1ビットをラインドライバ410を介してシリアルデータ端子406からシリアルデータライン440上に送出する。引き続きシフトレジスタ401は、シリアルクロックの立下りエッジである t_3 、 t_5 、 t_7 、 t_9 、 t_{11} 、 t_{13} 、 t_{15} 、 t_{17} の各タイミングに同期して、シフト動作を繰り返し、シフトレジスタ401の最終段にシフトされたビットを順にシリアルデータ端子406からシリアルデータライン440に送出する。

受信側である第2のシリアルデータ処理装置420は、シリアルクロックライン441からシリアルクロック端子427を経由して入力されるシリアルクロックの立上りエッジ t_1 に同期して、シリアルデータライン440上の最初の1ビットをシリアルデータ端子426を介してシフトレジスタ421の初段にシフト入力する。引き続き、 t_4 、 t_6 、 t_8 、 t_{10} 、 t_{12} 、 t_{14} 、 t_{16} のタ

イミングに同期して、シリアルデータライン440を介してシリアルに転送された後続するビットを順次シフトレジスタ421にシフト入力する。 t_{18} のタイミングで8ビットのデータの受信が終わると、シフトレジスタ421内に入力された8ビットデータをデータ処理部423が内部データバス428を介して読み出し、データ処理を行う。第1のシリアルデータ処理装置は第2のシリアルデータ処理装置におけるシリアルデータ受信に関するデータ処理が完了するであろう予め定められた期間送信処理を保留し、その後再び次の送信処理を開始する。

〔発明が解決しようとする問題点〕

上述した第2のシリアルデータ処理装置は、8ビット(ここでは1バイト)のシリアルデータを受信した後、受信確認信号を第1のシリアルデータ処理装置に送ることをやっていない。そのため、複数バイトの連続したシリアルデータ転送途中に受信側で何らかの異常事態が発生し受信を中止したい場合でも、送信側へ受信拒否を通知する手段

をもっていない。従って、この問題を解決するためには、受信側が受信データの処理を終了したら、ソフトウェア処理により受信確認信号を送信側へ出力しなければならない。しかし、この方法では、受信側は1バイトの受信毎にソフトウェア処理により受信確認信号を作成しなければならないので、CPUの処理効率が著しく低下するという大きな欠点がある。

〔問題点を解決するための手段〕

本発明のシリアルデータ処理装置は、データラインに受信確認信号を出力する出力回路と、シリアルデータの受信を終了したことを出力回路に知らせる第1の信号を発生する回路と、受信したデータの処理が終了したことを知らせる第2の信号を発生する回路と、受信確認信号の出力を制御する受信確認信号出力選択フラグとを有し、受信確認信号選択フラグの状態により第1の信号あるいは第2の信号に同期して受信確認信号を出力することを特徴とする。

〔実施例〕

次に本発明の実施例を図面を参照して説明する。

第1図は本発明の第1の実施例を用いたシリアル通信システムの構成図である。第1のシリアルデータ処理装置100は、シフトレジスタ101、シリアルクロック発生回路102、データ処理部103、シリアルクロックソースフラグ105、シリアルデータ端子106、シリアルクロック端子107、内部データバス108、ラインバッファ109、ラインドライバ110、シリアルクロック制御回路113、受信確認信号(以下ACKという)検出回路104、ACK出力回路114、クロックドライバ111、ACK検出フラグ115、ACK出力選択フラグ116、およびACK出力ドライバ112を含む。このうち、シフトレジスタ101、シリアルクロック発生回路102、データ処理部103、シリアルクロックソースフラグ105、シリアルデータ端子106、シリアルクロック端子107、内部データバス108、ラインバッファ109の各機能は第8図で示したものと同一であるためここでの詳細な説明は省略し、

その他の構成要素の機能を以下説明する。

シリアルクロック制御回路113は、ACKサンプリング信号117を出力する。このACKサンプリング信号117は所定長のデータを受信した後アクティブになり、ACK検出回路104に対して、受信確認信号のサンプリング期間を指定するために用いられる。ACK出力回路114は、ACK出力選択フラグ116を含む。

第1のシリアルデータ処理装置100が受信データを受信するだけで良く、受信後にエラーチェックやデータ処理等の必要がない場合は、ソフトウェアにより、ACK出力選択フラグ116に“0”を書き込む。一方、受信後にデータ処理部103でのエラーチェックやデータ処理等の必要がある場合は、ソフトウェアにより、ACK出力選択フラグ116に“1”を書き込む。ACK出力回路114はACK出力選択フラグ116が“1”のときは、シリアルクロック制御回路113から出力される受信信号120が“1”になったときに受信確認信号122を出力し、ACK出力

選択フラグ116が“0”のときは、データ処理部103から出力するACKライト信号119の制御により、データ処理終了信号121が“1”になったときに受信確認信号122を出力する。

ACK検出回路104は、ACK検出フラグ115を含む。ACK検出フラグ115はACKサンプリング信号117の制御でシリアルデータライン160上に後述する受信確認信号が出力されたことを確認するとセットされる。データ処理部103は、ACK検出フラグ115の内容を、内部データバス108を介して読み出すことができ、シリアル送信の開始に同期してACK検出フラグ115をクリアする。ラインドライバ110は、シリアルデータライン160を駆動するためのドライバで、ACK検出回路104によって制御される。

第2のシリアルデータ処理装置130は、シフトレジスタ131、シリアルクロック発生回路132、データ処理部133、シリアルクロックソースフラグ135、シリアルデータ端子136、

シリアルクロック端子137、内部データバス138、ラインバッファ139、ラインドライバ140、シリアルクロック制御回路143、ACK検出回路134、ACK出力回路144、クロックドライバ141、ACK検出フラグ145、ACK出力選択フラグ146、およびACK出力ドライバ142を含み、構成及び機能は、第1のシリアルデータ処理装置100と同一であるのでここでの詳細な説明は省略する。

次に第5図を参照して、ACK出力選択フラグ146が“1”でデータ受信後にエラーチェックやデータ処理等の必要がない場合において、第1のシリアルデータ処理装置100から第2のシリアルデータ処理装置130へ連続して8ビットのデータを転送する際のシリアルデータライン160上のシリアルデータとシリアルクロックライン161上のシリアルクロック間の同期関係を説明する。

本実施例では、第1のシリアルデータ処理装置100上のシリアルクロックソースフラグ105

はセットされ、第1のシリアルデータ処理装置100がシリアルクロックの供給元(マスター)となるよう設定されており、一方第2のシリアルデータ処理装置130上のシリアルクロックソースフラグ135はクリアされ、シリアルクロック端子137からシリアルクロックを入力して送信を行うスレーブとなるように設定されているものとする。

シリアルクロックライン161は非転送時には、ハイレベルを保つ。データ処理部103が内部データバス108を経由して1₁₀₀のタイミングで送信データをシフトレジスタ101に転送すると、ACK検出フラグ115が同じく1₁₀₀のタイミングでクリアされる。シリアルクロック発生回路102は、1₁₀₁のタイミングでシリアルクロックの発生を開始し、シリアルクロック端子107を介してこのクロックをシリアルクロックライン161に送出する。

シフトレジスタ101はシリアル制御回路113から発生されるシリアルクロックの下下リエッジ

t₁₀₁に同期して1ビット分のシフト動作を行い、シフトレジスタ101の最終段の1ビットをラインドライバ110を介してシリアルデータ端子106からシリアルデータライン160に送出する。引き続き、シフトレジスタ101はシリアルクロックの立下りエッジであるt₁₀₂、t₁₀₃、t₁₀₇、t₁₀₉、t₁₁₁、t₁₁₃、t₁₁₅の各タイミングに同期して、シフト動作を繰り返し、シフトレジスタ101の最終段にシフトされたビットを順にシリアルデータ端子106から、シリアルデータライン160に送出する。t₁₁₅のタイミングで8ビット(1バイト)のシリアルデータの送出が終了すると、ACK検出回路104が次の立下りt₁₁₇のタイミングでラインドライバ110をハイレベルにする。同じt₁₁₇のタイミングでシリアルクロック制御回路113は、ACKサンプリング信号117を出力する。シリアルクロック発生回路102はこれと無関係にシリアルクロックの発生を続ける。ACK検出回路104は立下りエッジt₁₁₈のタイミングに同期して、シリア

ルデータライン160をサンプリングし、第2のシリアルデータ処理装置130から受信確認信号として送られてくるロウレベルの信号の検出を開始する。

第2のシリアルデータ処理装置130はシリアルクロックライン161からシリアルクロック端子137を介して入力されるシリアルクロックの立上りエッジt₁₀₃に同期して、シリアルデータライン160上の最初の1ビットのデータをシリアルデータ端子136を介してシフトレジスタ131にシフト入力する。引き続き、t₁₀₄、t₁₀₆、t₁₀₈、t₁₁₀、t₁₁₂、t₁₁₄、t₁₁₆のタイミングに同期してシリアルデータライン160を介して入力される各ビットのデータを順次シフトレジスタ131にシフト入力する。シフトクロックの立上りエッジt₁₁₆のタイミングで、8ビット(1バイト)のシリアルデータの受信が終了すると、データ処理部133はシフトレジスタ131に入力された8ビットのデータを内部データバス138に読み出す。

シリアルクロック制御回路143は8ビット目のシリアルデータを受信するタイミングt₁₁₆で受信終了信号150をACK出力回路144に inputs。ACK出力選択フラグ146が“1”であるので、受信終了信号150が入力されると他の信号には関係なくACK出力回路144は送信側である第1のシリアルデータ処理装置100への受信確認信号として、次の立下りエッジt₁₁₇のタイミングでACK出力ドライバ142を介して、シリアルデータ端子136からシリアルデータライン160にロウレベルの信号を出力する。

第1のシリアルデータ処理装置100のACK検出回路104は、シリアルクロック立上りエッジt₁₁₈のタイミングでシリアルデータライン160をサンプリングして、第2のシリアルデータ処理装置130から受信確認信号として送出されたロウレベルの信号を検出すると、ACK検出フラグ115をセットする。シリアルクロック制御回路113は、次の立上りエッジt₁₂₀のタイミングでシリアルクロックの出力を停止する。デ

ータ処理部103はACK検出回路104から内部データバス108を介してACK検出フラグ115がセットされたことを確認すると、第2のシリアルデータ処理装置130がデータ受信におけるすべての処理が終了したと判断して、1バイト分のシリアルデータの送信処理を終了する。データ処理部103はその後シフトレジスタ101に次の送信データを転送し、次のシリアルデータの送信処理を開始する。

ACK出力選択フラグ116が“1”のときの第2のシリアルデータ処理装置130から第1のシリアルデータ処理装置100へ連続して8ビットのデータを転送する際のシリアルデータライン160上のシリアルデータとシリアルクロックライン161上のシリアルクロック間の同期関係は、第1のシリアルデータ処理装置100から第2のシリアルデータ処理装置130への転送の際の同期関係と同一であるのでここでの詳細な説明は省略する。

次に第6図を参照して、ACK出力選択フラグ

146が“0”でデータ受信後にエラーチェック及びデータ処理等の必要がある場合において、第1のシリアルデータ処理装置100から第2のシリアルデータ処理装置130へ連続して8ビットのデータを転送する際のシリアルデータライン160上のシリアルデータとシリアルクロックライン161上のシリアルクロック間の同期関係を説明する。

第1のシリアルデータ処理装置100はマスター、第2のシリアルデータ処理装置130はスレーブとする。

データ処理部103が内部データバス108を経由して t_{300} のタイミングで送信データをシフトレジスタ101に転送するとACK検出フラグ115が同じ t_{300} のタイミングでクリアされる。シリアルクロック発生回路102は t_{301} のタイミングでシリアルクロックの発生を開始し、シリアルクロック端子107からシリアルクロックライン161にクロックが送出される。シフトレジスタ101はシリアル制御回路113から発生さ

るエッジ t_{310} 、 t_{320} ……の各タイミングに同期して、シリアルデータライン160をサンプリングし、第2のシリアルデータ処理装置130から受信確認信号として送られてくるロウレベルの信号の検出を行なう。

第2のシリアルデータ処理装置130は、シリアルクロックライン161からシリアルクロック端子137を介して入力されるシリアルクロックの立上りエッジ t_{302} に同期して、シリアルデータライン160からの最初の1ビットのデータをシリアルデータ端子136を介してシフトレジスタ131にシフト入力する。引き続き、 t_{304} 、 t_{306} 、 t_{308} 、 t_{310} 、 t_{312} 、 t_{314} 、 t_{316} の各タイミングに同期して後続する各ビットのデータを順次シフトレジスタ131にシフト入力する。シフトクロックの立上りエッジ t_{318} のタイミングで、8ビット(1バイト)のシリアルデータの受信が終了すると、データ処理部133はシフトレジスタ131に入力された8ビットのデータを内部データバス138を介して読み出し、必要な

シリアルクロックの立下りエッジ t_{301} に同期して、1ビット分のシフト動作を行ない、シフトレジスタ101の最終段のビットをラインドライバ110を介してシリアルデータ端子106からシリアルデータライン160に送出する。引き続き、シフトレジスタ101はシリアルクロックの立下りエッジである t_{303} 、 t_{305} 、 t_{307} 、 t_{309} 、 t_{311} 、 t_{313} 、 t_{315} の各タイミングに同期してシフト動作を繰り返す、シフトレジスタ101の最終段にシフトされたビットを順にシリアルデータライン160に送出する。

シリアルクロックの立下りエッジ t_{318} のタイミングで8ビットのシリアルデータの送出がすべて終了すると、ACK検出回路104が次の立下りエッジ t_{317} のタイミングでラインドライバ110をハイレベルにする。同じ t_{317} のタイミングでシリアルクロック制御回路113はACKサンプリング信号117を出力する。シリアルクロック発生回路102はシリアルクロックの発生を続けており、ACK検出回路104は立上りエ

処理を行なう。

シリアルクロック制御回路143は、8ビット目のシリアルデータを受信するタイミング t_{316} で受信終了信号150を“1”にし、これをACK出力回路144に入力する。このとき、ACK出力選択フラグ146が“0”であるので受信確認信号は出力されない。

データ処理部133はこの受信データに対する必要な処理を t_{300} のタイミングで終了すると、ACK出力回路146にACKライト信号149を出力する。この信号149に同期して、データ処理部133から出力された終了信号“1”が内部データバス138および信号線151を介してACK出力回路144に入力される。ACK出力回路144は送信側である第1のシリアルデータ処理装置100への受信確認信号として、次の立下りエッジ t_{301} のタイミングでACK出力ドライバ142を介して、シリアルデータ端子136からシリアルデータライン160にロウレベルの信号を出力する。

第1のシリアルデータ処理装置100内のACK検出回路104はシリアルクロックの立上りエッジ100のタイミングでシリアルデータライン160がロウレベルになり、第2のシリアルデータ処理装置130が受信確認信号を出力したことを確認すると、ACK検出フラグ115をセットする。シリアルクロック制御回路113は、次の立上りエッジ100のタイミングでシリアルクロックの出力を停止する。データ処理部103はACK検出フラグ115がセットされたことを確認すると、第2のシリアルデータ処理装置130がデータ受信におけるすべての処理が終了したと判断し、1バイト分のシリアルデータの送信処理を終了する。その後、データ処理部103はシフトレジスタ101に次の送信データを設定することにより、次のシリアルデータの送信を再開することができる。

第1のシリアルデータ処理装置100は受信確認信号が返送されるまでの時間を自分で管理することにより、受信確認信号がACKサンプリング

トレジスタ101、シリアルクロック発生回路102、データ処理部103、シリアルクロックゾースフラグ105、シリアルデータ端子106、シリアルクロック端子107、内部データバス108、ラインバッファ109、ラインドライバ110、シリアルクロック制御回路113、ACK検出回路104、ACK出力回路114、クロックドライバ111、およびACK出力ドライバ112を含む。このうち、ACK出力回路114以外の機能は第1の実施例で示したものと同一であるため、ここでの詳細な説明は省略する。

ACK出力回路114は、ACK出力選択フラグ116およびシリアルクロックカウンタ125を含む。シリアルクロックカウンタ125について第3図を用いて説明する。シリアルクロックカウンタ125は、減算器127とカウントレジスタ126を含む。カウントレジスタ126には、データ処理部103から内部データバス108を経由して、入力される受信確認信号を出力するためのタイミング情報nが制御信号128に同期し

信号117をセットしてからT1の期間を過ぎても第2のシリアルデータ処理装置130から出力されない場合は、第2のシリアルデータ処理装置130で異常事態が発生したとして、第1のシリアルデータ処理装置100からのシリアルデータの送信を中止することができる。

ACK出力選択フラグ116が“0”のときの第2のシリアルデータ処理装置130から第1のシリアルデータ処理装置100へ連続して8ビットデータを転送する際のシリアルデータライン160上のシリアルデータとシリアルクロックライン161上のシリアルクロック間の同期関係は、第1のシリアルデータ処理装置100から、第2のシリアルデータ処理装置130への転送の際の同期関係と同一であるので、ここでの詳細な説明は省略する。

(実施例2)

本発明の第2の実施例について第2図を用いて説明する。

第1のシリアルデータ処理装置100は、シフ

て格納される。減算器127は、シリアルクロックの発生が開始されると、カウントレジスタ126に格納されているカウント数nをシリアルクロックの立下りエッジに同期して“1”ずつデクリメントする。ボローが発生すると、ACK出力回路114内のACK発生回路に“1”を出力し、ACK出力ドライバ112を介してシリアルデータ端子106からシリアルデータライン160上に受信確認信号としてのロウレベルの信号を出力する。ACK出力選択フラグ116は第1の実施例と同様にソフトウェア処理によりあらかじめ“0”又は“1”に設定される。

第2のシリアルデータ処理装置130の構成及び機能は、第1のシリアルデータ処理装置100と同一であるのでここでの詳細な説明は省略する。

次に第3図を参照して、第1のシリアルデータ処理装置100から第2のシリアルデータ処理装置130へ連続して8ビット(1バイト)のデータを転送する際の動作を説明する。ソフトウェア処理により、ACK出力選択フラグに“0”を設

定した場合は第1の実施例と同一の処理を行なうため詳細な説明は省略する。

ソフトウェア処理により、ACK出力選択フラグ146に“1”を設定した場合は、カウントレジスタ156内の設定値に応じて、受信確認信号を出力するタイミングを、8発目、9発目、10発目……と任意に選択することができる。例えば、受信データの処理が1000のタイミングまでに終了する場合には、10発目に受信確認信号が出せるようにカウントレジスタ156にはあらかじめ“9”を設定しておけばよい。

第1のシリアルデータ処理装置100は第1の実施例と同様にシリアルクロックの立下りエッジ1701、1703、1705、1707、1709、1711、1713、1715の各タイミングに同期してシリアルデータライン160上にデータを送出する。

第2のシリアルデータ処理装置130は、シリアルクロックライン161からシリアルクロック端子137を介して入力されるシリアルクロックの立上りエッジ1702、1704、1706、1708、

理装置は、受信確認信号の出力タイミングを任意に設定できるため、受信データの処理ための時間を適宜変更できるという利点がある。さらに、データ処理部133からACK出力回路144にデータ処理の終了を通知するために必要なソフトウェア処理が不用となるという利点もある。

なお、減算器へはハードウェアによって予め定められた値が設定されるようにしてもよい。

第4図は第2のシリアルデータ処理装置130内のシリアルクロックカウンタおよびその周辺の回路ブロック図であるが、第3図のものと全く同一である。

〔発明の効果〕

以上説明したように、本発明に基づくシリアルデータ処理装置は、受信データの処理終了後に、ACK出力回路から送信側へ受信確認信号を送するため、送信側に受信終了を知らせることができるという効果がある。また、受信側で異常事態が発生したときは、一定時間内に送信側へ受信確認信号の送出を禁止する事により、受信拒否を知らせ

1710、1712、1714、1716の各タイミングに同期して、シリアルデータライン160からのシリアルデータを順次シフトレジスタ131にシフト入力する。シリアルクロックの立上りエッジ1710のタイミングで8ビットのシリアルデータの受信が終了すると、データ処理部133はシフトレジスタ131内の8ビットデータを内部データバス138に読み出す。さらに、第1のシリアルクロック1701のタイミングで、シリアルクロックカウンタ155内のカウントレジスタ156の値が減算器157に設定される。今、減算器157に“9”が設定されるとすれば、第1の立下りエッジ1701のタイミングで“1”デクリメントされ“8”になる。引き続き立下りエッジのタイミング毎に減算器157の値が“1”ずつデクリメントされ、1001のタイミングでゼロが発生する。この結果、減算器157から“1”が出力され、同タイミング1001に同期してACK出力回路144から受信確認信号が出力される。

以上の様に、第2の実施例のシリアルデータ処

ることができるという効果もある。

さらに、ACK出力選択フラグをもっているため、受信データに応じて受信確認信号の出力を8ビットのシリアルデータを受信したときに同期させるか、データ処理部における受信データに対する必要な処理が終わったときに同期させるかをソフトウェアで選択することができる。複数バイトの連続した高速シリアルデータ転送ではデータ処理終了を通知するためのソフトウェア処理が不要になるので、CPUの処理効率を著しく向上する事が可能である。なお、本発明をデータ処理部を介さない高速シリアル転送(DMA転送)へ適用することができることは明らかである。

4. 図面の簡単な説明

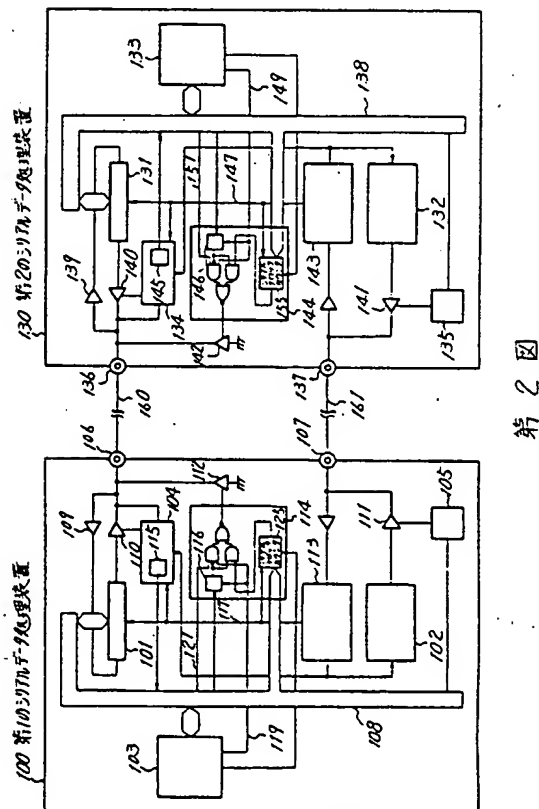
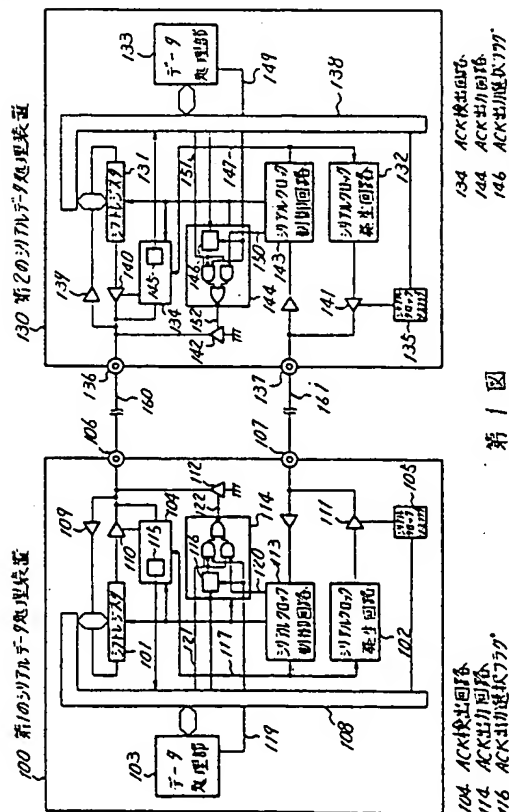
第1図は本発明の第1の実施例のシステム構成図、第2図は本発明の第2の実施例のシステム構成図、第3図、第4図は夫々第2の実施例のシリアルクロックカウンタおよびその周辺のブロック図、第5図はACK出力選択フラグが“1”のとき

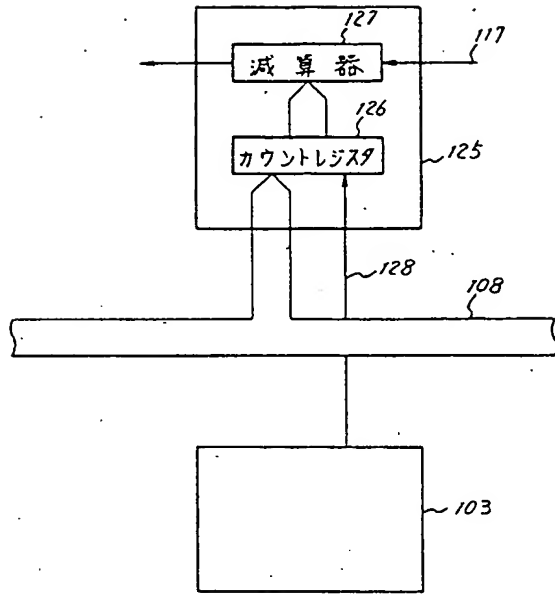
きのタイミングチャート、第6図はACK選択フラグが“0”のときのタイミングチャート、第7図は第2の実施例におけるタイミングチャート、第8図は本発明の参考図、第9図はそのタイミングチャートである。

100、400……第1のシリアルデータ処理装置、130、420……第2のシリアルデータ処理装置、101、131、401、421……シフトレジスタ、102、132、402、422……シリアルクロック発生回路、103、133、403、423……データ処理部、104、134……ACK検出回路、105、135、405、425……シリアルクロックソースフラグ、106、136、406、426……シリアルデータ端子、107、137、407、427……シリアルクロック端子、108、138、408、428……内部データバス、109、139、409、429……ラインバッファ、110、140、410、430……ラインドライバ、111、141、411、431……クロックドライバ、

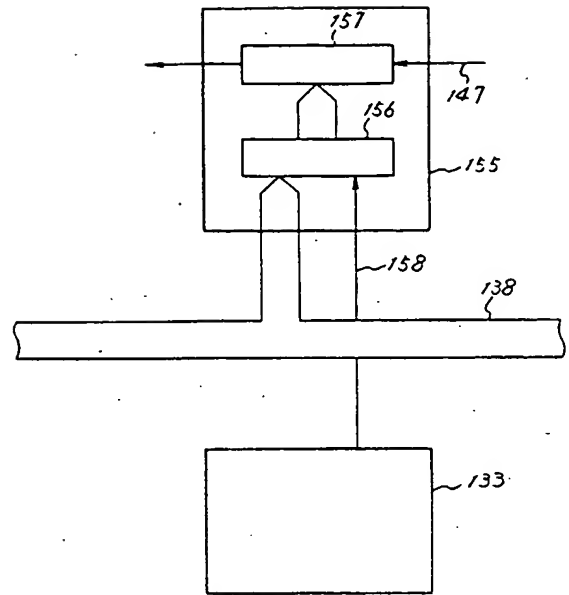
112、142……ACK出力ドライバ、113、143……シリアルクロック制御回路、114、144……ACK出力回路、115、145……ACK検出フラグ、116、146……ACK出力選択フラグ、117、147……ACKサンプル信号、119、149……ACKライト信号、120、150……8ビット受信信号、121、151……データ処理終了信号、122、152……受信確認信号、125、155……シリアルクロックカウンタ、160、440……シリアルデータライン、161、441……シリアルクロックライン、126、156……カウントレジスタ、127、157……減算器、128、158……制御信号。

代理人 弁理士 内 原 晋

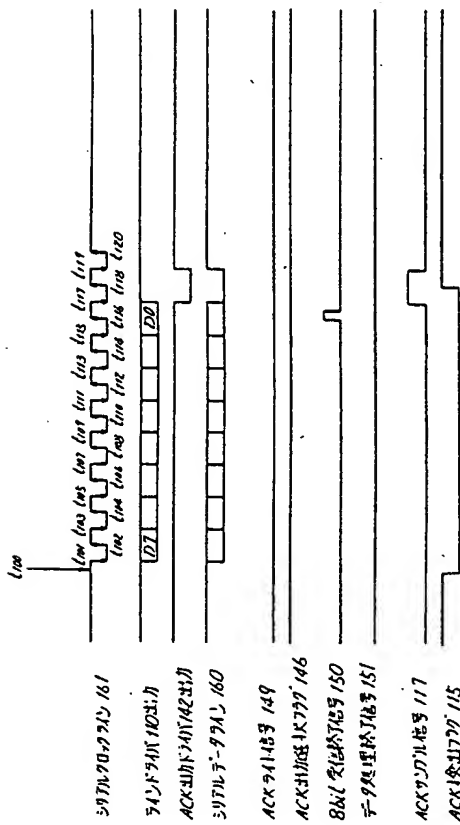




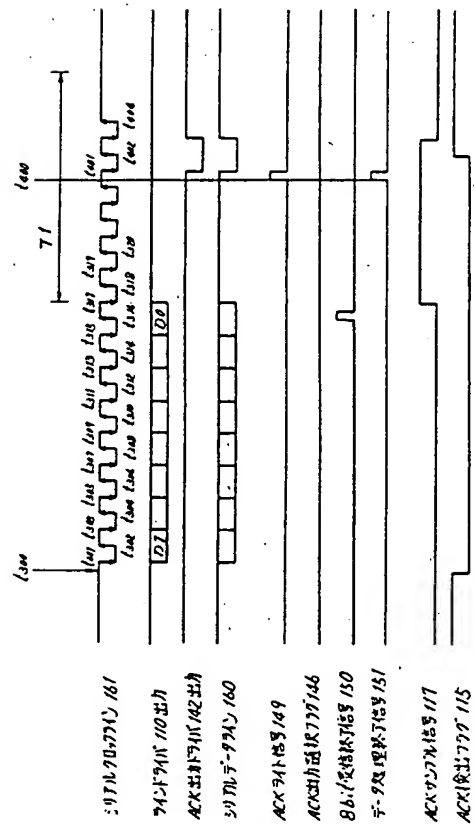
第 3 図



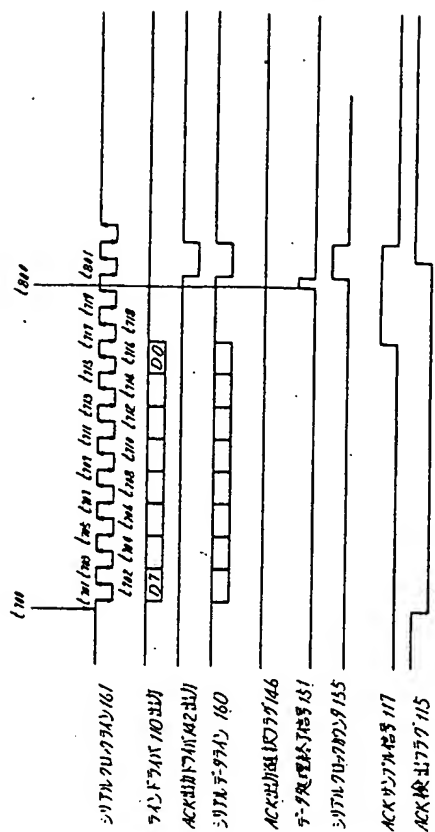
第 4 図



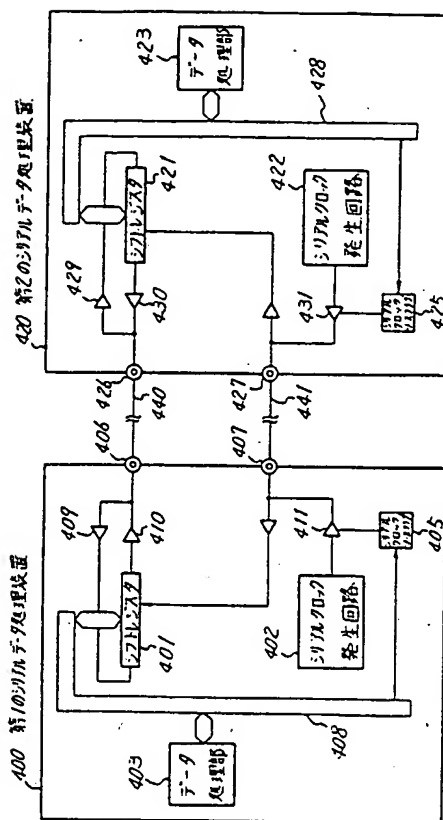
第 5 図



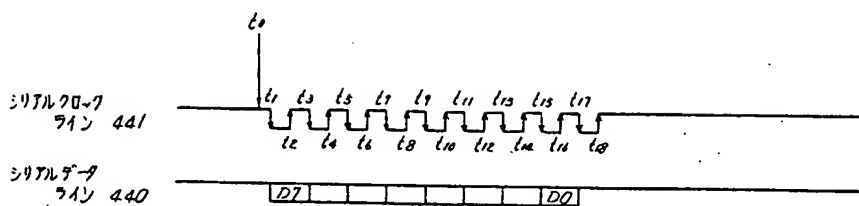
第 6 図



第 7 図



第 8 図



第 9 図

SERIAL DATA PROCESSOR

SERIAL DATA PROCESSOR

Veröffentlichungsnr. (Sek.) JP63069350
Veröffentlichungsdatum : 1988-03-29
Erfinder : MISAWA YUKARI; others: 01
Anmelder :: NEC CORP
Veröffentlichungsnummer : ☐ JP63069350
Aktenzeichen:
(EPIDOS-INPADOC-normiert) JP19860214432 19860910
Prioritätsaktenzeichen:
(EPIDOS-INPADOC-normiert)
Klassifikationssymbol (IPC) : H04L13/00 ; G06F13/00
Klassifikationssymbol (EC) :
Klassifikationssymbol (EC) :
Korrespondierende Patentschriften

Bibliographische Daten

PURPOSE: To contrive the improvement of the processing efficiency by allowing an output circuit to output a reception acknowledge signal (ACK) to a data line when the reception of a serial data on the data line is finished.

CONSTITUTION: when a 1st serial data processor 100 has only to receive a reception data and it is not required for error check and data processing or the like after the reception, the software writes '0' to an ACK output selection flag 116. On the other hand, when it is required to apply error check and data processing or the like in a data processing section 103 after the reception, the software writes '1' to the ACK output selection flag 116. With the ACK output selection flag 116 set to '1', an ACK output circuit 114 outputs the reception acknowledge signal 122 when a reception signal 120 outputted from a serial clock control circuit 113 is at '1', and outputs the reception acknowledge signal 122 with the ACK output selection flag 116 set to '0' when a data processing end signal 121 reaches '1', by the control of the ACK write signal 119 outputted from the data processing section 103.